

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月30日  
Date of Application:

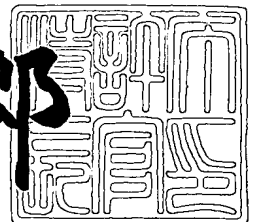
出願番号 特願2002-316363  
Application Number:  
[ST. 10/C]: [JP 2002-316363]

出願人 株式会社半導体エネルギー研究所  
Applicant(s):

2003年 7月 8日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3053777

【書類名】 特許願

【整理番号】 P006701

【提出日】 平成14年10月30日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 納 光明

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【先の出願に基づく優先権主張】

【出願番号】 特願2002-278724

【出願日】 平成14年 9月25日

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

**【書類名】 明細書****【発明の名称】** クロックドインバータ、NAND、NOR及びシフトレジスタ**【特許請求の範囲】****【請求項 1】**

直列に接続された第 1 及び第 2 トランジスタを有するクロックドインバータにおいて、

直列に接続された第 3 及び第 4 トランジスタを有する補償回路を具備し、

前記第 3 トランジスタのゲート及び前記第 4 トランジスタのゲートは互いに接続され、

前記第 3 トランジスタのドレイン及び前記第 4 トランジスタのドレインは、前記第 1 トランジスタのゲートに接続され、

前記第 1 及び前記第 4 トランジスタのソースは電氣的に第 1 の電源に接続され、

前記第 2 トランジスタのソースは電氣的に第 2 の電源に接続され、

前記第 3 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいことを特徴とするクロックドインバータ。

**【請求項 2】**

請求項 1 において、前記第 1 の電源は高電位電源であり、前記第 2 の電源は低電位電源であり、前記第 1 及び前記第 4 トランジスタは P 型トランジスタであり、前記第 2 及び前記第 3 トランジスタは N 型トランジスタであることを特徴とするクロックドインバータ。

**【請求項 3】**

請求項 1 において、前記第 1 の電源は低電位電源であり、前記第 2 の電源は高電位電源であり、前記第 1 及び前記第 4 トランジスタは N 型トランジスタであり、前記第 2 及び前記第 3 トランジスタは P 型トランジスタであることを特徴とするクロックドインバータ。

**【請求項 4】**

請求項 1 において、前記第 3 トランジスタをアナログスイッチに置換することを特徴とするクロックドインバータ。

**【請求項 5】**

直列に接続された第 1 乃至第 3 トランジスタを有するクロックドインバータにおいて、

直列に接続された第 4 及び第 5 トランジスタを有する補償回路を具備し、

前記第 4 トランジスタのゲート及び前記第 5 トランジスタのゲートは互いに接続され、

前記第 4 トランジスタのドレイン及び前記第 5 トランジスタのドレインは、前記第 1 トランジスタのゲートに接続され、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に第 1 の電源に接続され、

前記第 3 トランジスタのソースは電氣的に第 2 の電源に接続され、

前記第 4 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいことを特徴とするクロックドインバータ。

**【請求項 6】**

請求項 5 において、前記第 1 の電源は高電位電源であり、前記第 2 の電源は低電位電源であり、前記第 1 及び前記第 5 トランジスタは P 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは N 型トランジスタであることを特徴とするクロックドインバータ。

**【請求項 7】**

請求項 5 において、前記第 1 の電源は高電位電源であり、前記第 2 の電源は低電位電源であり、

前記第 1、前記第 2 及び前記第 5 トランジスタは P 型トランジスタであり、前記第 3 及び前記第 4 トランジスタは N 型トランジスタであることを特徴とするクロックドインバータ。

**【請求項 8】**

請求項 5 において、前記第 1 の電源は低電位電源であり、前記第 2 の電源は高電位電源であり、

前記第 1 及び前記第 5 トランジスタは N 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは P 型トランジスタであることを特徴とするクロックドイ

ンバータ。

【請求項 9】

請求項 5 において、前記第 1 の電源は低電位電源であり、前記第 2 の電源は高電位電源であり、

前記第 1、前記第 2 及び前記第 5 トランジスタは N 型トランジスタであり、前記第 3 及び前記第 4 トランジスタは P 型トランジスタであることを特徴とするクロックドインバータ。

【請求項 10】

請求項 5 において、前記第 4 トランジスタをアナログスイッチに置換することを特徴とするクロックドインバータ。

【請求項 11】

並列に接続された第 1 及び第 2 トランジスタ、並びに前記第 1 及び前記第 2 トランジスタと直列に接続された第 3 トランジスタを有する NAND において、

直列に接続された第 4 及び第 5 トランジスタを有する補償回路を具備し、

前記第 3 トランジスタのゲート及び前記第 4 トランジスタのゲートは互いに接続され、

前記第 3 トランジスタのドレイン及び前記第 4 トランジスタのドレインは、前記第 3 トランジスタのゲートに接続され、

前記第 1 及び前記第 2 トランジスタのソースは電氣的に高電位電源に接続され

、

前記第 3 及び前記第 5 トランジスタのソースは電氣的に低電位電源に接続され

、

前記第 1、前記第 2、前記第 4 及び前記第 5 トランジスタのゲート並びに前記第 4 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいことを特徴とする NAND。

【請求項 12】

請求項 11 において、前記第 1、前記第 2 及び前記第 4 トランジスタは P 型トランジスタであり、前記第 3 及び前記第 5 トランジスタは N 型トランジスタであることを特徴とする NAND。

**【請求項 13】**

請求項 11 において、前記第 4 トランジスタをアナログスイッチに置換することを特徴とする NAND。

**【請求項 14】**

並列に接続された第 1 及び第 2 トランジスタ、並びに前記第 1 及び前記第 2 トランジスタと直列に接続された第 3 トランジスタを有する NOR において、

直列に接続された第 4 及び第 5 トランジスタで構成される補償回路を有し、

前記第 3 トランジスタのゲート及び前記第 4 トランジスタのゲートは互いに接続され、

前記第 3 トランジスタのドレイン及び前記第 4 トランジスタのドレインは、前記第 3 トランジスタのゲートに接続され、

前記第 1 及び前記第 2 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 3 及び前記第 5 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 1、前記第 2、前記第 4 及び前記第 5 トランジスタのゲート並びに前記第 4 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいことを特徴とする NOR。

**【請求項 15】**

請求項 14 において、前記第 1、前記第 2 及び前記第 4 トランジスタは N 型トランジスタであり、前記第 3 及び前記第 5 トランジスタは P 型トランジスタであることを特徴とする NOR。

**【請求項 16】**

請求項 14 において、前記第 4 トランジスタをアナログスイッチに置換することを特徴とする NOR。

**【請求項 17】**

直列に接続された第 1 乃至第 3 トランジスタを有するクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを有する補償回路を具備するシフトレジスタであって、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に第 1 の電源に接続され

、  
前記第 3 トランジスタのソースは電氣的に第 2 の電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第  $n$  段に配置された前記補償回路の入力端子には第  $(n-1)$  段で発生したパルスが入力され、

第  $n$  段に配置された前記第 4 トランジスタのソースには第  $(n-2)$  段で発生したパルス又はクロック信号が入力されることを特徴とするシフトレジスタ。

【請求項 18】

請求項 17 において、

前記第 1 の電源は低電位電源であり、前記第 2 の電源は高電位電源であり、

前記第 1 及び前記第 5 トランジスタは N 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは P 型トランジスタであることを特徴とするシフトレジスタ。

【請求項 19】

請求項 17 において、

前記第 1 の電源は高電位電源であり、前記第 2 の電源は低電位電源であり、

前記第 1 及び前記第 5 トランジスタは P 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは N 型トランジスタであることを特徴とするシフトレジスタ。

【請求項 20】

請求項 17 において、前記第 4 トランジスタをアナログスイッチに置換することを特徴とするシフトレジスタ。

【請求項 21】

請求項 17 において、前記第 2 トランジスタを削除することを特徴とするシフトレジスタ。

【請求項 22】

直列に接続された第 1 及び第 2 トランジスタを備えた第 1 クロックドインバータと、前記第 1 クロックドインバータとループを構成するインバータと、N 型ト

ランジスタ及びアナログスイッチを備えた補償回路とを有する段が複数設けられたシフトレジスタにおいて、

前記第 1 トランジスタは P 型トランジスタであり、前記第 2 トランジスタは N 型トランジスタであり、

前記第 1 トランジスタのゲートは前記インバータの出力端子に接続され、ソースは電氣的に高電位電源に接続され、

前記第 2 トランジスタのゲートには、前記 N 型トランジスタのドレイン及び前記アナログスイッチを介してクロック信号線に接続され、ソースは低電位電源に接続され、

前記アナログスイッチは、前記インバータの入力及び出力により制御されることを特徴とするシフトレジスタ。

### 【請求項 2 3】

直列に接続された第 1 及び第 2 トランジスタを備えた第 1 クロックドインバータと、前記第 1 クロックドインバータとループを構成するインバータと、P 型トランジスタ及びアナログスイッチを備えた補償回路とを有する段が複数設けられたシフトレジスタにおいて、

前記第 1 トランジスタは N 型トランジスタであり、前記第 2 トランジスタは P 型トランジスタであり、

前記第 1 トランジスタのゲートは前記インバータの出力端子に接続され、ソースは電氣的に低電位電源に接続され、

前記第 2 トランジスタのゲートは前記 P 型トランジスタのドレイン及び前記アナログスイッチを介してクロック信号線に接続され、ソースは高電位電源に接続され、

前記アナログスイッチは、前記インバータの入力及び出力により制御されることを特徴とするシフトレジスタ。

### 【発明の詳細な説明】

#### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は、クロックドインバータに係る技術分野に関する。またクロックドイ



ンバータを単位回路として構成したシフトレジスタに係る技術分野に関する。さらに、NAND、NORなどの電気回路に係る技術分野に属する。

#### 【0 0 0 2】

##### 【従来の技術】

近年、液晶表示装置や発光装置などの表示装置は、携帯機器向けの需要の増加から、活発に開発が進められている。特に絶縁体上に多結晶半導体（ポリシリコン）により形成されたトランジスタを用いて、画素及び駆動回路（以下内部回路と表記）を一体形成する技術は、小型化及び低消費電力化に大きく貢献するため、活発に開発が進められている。絶縁体上に形成された内部回路は、F P C等を介してコントローラ I C等（以下外部回路と表記）と接続され、その動作が制御される。

#### 【0 0 0 3】

内部回路の電源電位は通常 1 0 V 程度であり、一方、外部回路を構成する I C は、内部回路よりも低い電源電位で動作するため、通常 3 V 程度の振幅の信号を作成する。この 3 V 程度の振幅の信号を用いて内部回路を正確に動作させるために、各段にレベルシフト部を配置した構成のシフトレジスタがある（例えば、特許文献 1 参考）。

#### 【0 0 0 4】

【特許文献 1】 特開 2 0 0 0 - 3 3 9 9 8 5 号公報（第 3 - 6 頁参照）

#### 【0 0 0 5】

図 1 1 （A）はクロックドインバータの回路図、図 1 1 （B）はクロックドインバータのロジックシンボル、図 1 1 （C）はNANDの回路図、図 1 1 （D）はNORの回路図を示す。

#### 【0 0 0 6】

##### 【発明が解決しようとする課題】

内部回路でレベルシフトしようとする、駆動回路の占有面積の増大、波形の遅延や鈍りから周波数特性の低下等の問題を生じる。更に、特許文献 1 のように、電流駆動型のレベルシフタを使用すると、TFT特性の隣接間バラツキを抑制する必要がある。また、外部回路にレベルシフタを配置すると、I C等の部品数の

増加から筐体の大型化、作製費用の増加、レベルシフトによる消費電力の増加等の問題が発生する。従って、3 V程度の振幅の信号をレベルシフトせずに用いることが好ましい。

#### 【0007】

よって、本発明は、上述の実情を鑑み、外部回路にレベルシフタを配置せずに上記シフトレジスタを提供することで、筐体の小型化、作製費用の削減、消費電力の削減を実現することを課題とする。さらに内部回路にレベルシフタを配置せずに上記シフトレジスタを提供することで、CKの波形の遅延や鈍りの問題、内部回路に配置された電源線の電圧降下の問題を解決し、内部回路における駆動回路の占有面積の小型化、消費電力の削減、高周波数動作を実現することを課題とする。

#### 【0008】

また、TFTは、作製工程や使用する基板の相違によって生じるゲート長及びゲート幅並びにゲート絶縁膜の膜厚バラツキ等に起因して、そのしきい値電圧にバラツキが生じ、想定していた値と異なる場合がある。この場合、「1」と「0」の2つの論理レベルを扱うデジタル回路では、3 V程度の小さい振幅の信号を用いると、しきい値バラツキの影響を受けて、正確に動作しない場合が生じる。

#### 【0009】

よって、TFTの特性バラツキによる影響を緩和して、正確に動作を行うクロックドインバータ、シフトレジスタを提供することを課題とする。

#### 【0010】

また、従来のNAND、NORに対して、低入力負荷かつ高出力能力をもつNAND、NORを提供することを課題とする。

#### 【0011】

##### 【課題を解決するための手段】

本発明は、上述の課題を鑑み、下記的手段を講じる。

#### 【0012】

本発明は、直列に接続された第1及び第2トランジスタを有するクロックドインバータにおいて、

直列に接続された第 3 及び第 4 トランジスタを有する補償回路を具備し、  
前記第 3 トランジスタのゲート及び前記第 4 トランジスタのゲートは互いに接続され、

前記第 3 トランジスタのドレイン及び前記第 4 トランジスタのドレインは、前記第 1 トランジスタのゲートに接続され、

前記第 1 及び前記第 4 トランジスタのソースは電氣的に第 1 の電源に接続され

、

前記第 2 トランジスタのソースは電氣的に第 2 の電源に接続され、

前記第 3 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいクロックドインバータを提供する。

### 【 0 0 1 3 】

本発明は、並列に接続された第 1 及び第 2 トランジスタ、並びに前記第 1 及び前記第 2 トランジスタと直列に接続された第 3 トランジスタを有する NAND において、

直列に接続された第 4 及び第 5 トランジスタを有する補償回路を具備し、

前記第 3 トランジスタのゲート及び前記第 4 トランジスタのゲートは互いに接続され、

前記第 3 トランジスタのドレイン及び前記第 4 トランジスタのドレインは、前記第 3 トランジスタのゲートに接続され、

前記第 1 及び前記第 2 トランジスタのソースは電氣的に高電位電源に接続され

、

前記第 3 及び前記第 5 トランジスタのソースは電氣的に低電位電源に接続され

、

前記第 1、前記第 2、前記第 4 及び前記第 5 トランジスタのゲート並びに前記第 4 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さい NAND を提供する。

### 【 0 0 1 4 】

本発明は、並列に接続された第 1 及び第 2 トランジスタ、並びに前記第 1 及び前記第 2 トランジスタと直列に接続された第 3 トランジスタを有する NOR におい

て、

直列に接続された第4及び第5トランジスタで構成される補償回路を有し、  
前記第3トランジスタのゲート及び前記第4トランジスタのゲートは互いに接続され、

前記第3トランジスタのドレイン及び前記第4トランジスタのドレインは、前記第3トランジスタのゲートに接続され、

前記第1及び前記第2トランジスタのソースは電氣的に低電位電源に接続され、

前記第3及び前記第5トランジスタのソースは電氣的に高電位電源に接続され、

前記第1、前記第2、前記第4及び前記第5トランジスタのゲート並びに前記第4トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さいNORを提供する。

#### 【0015】

本発明は、直列に接続された第1乃至第3トランジスタを有するクロックドインバータと、直列に接続された第4及び第5トランジスタを有する補償回路を具備するシフトレジスタであって、

前記第1及び前記第5トランジスタのソースは電氣的に第1の電源に接続され、

前記第3トランジスタのソースは電氣的に第2の電源に接続され、

前記第1トランジスタのゲートは前記補償回路の出力端子に接続され、

第n段に配置された前記補償回路の入力端子には第(n-1)段で発生したパルスが入力され、

第n段に配置された前記第4トランジスタのソースには第(n-2)段で発生したパルス又はクロック信号が入力されるシフトレジスタを提供する。

#### 【0016】

上記構成を有する本発明は、TFTのしきい値のバラツキによる影響を緩和して、回路の電源電圧幅より小さい電圧振幅の信号をレベルシフトせずに動作させることができ、高周波動作、低電圧動作が可能なクロックドインバータ、シフトレ

ジスタを提供する。また、低入力負荷かつ高出力能力をもつNAND、NORを提供する。

#### 【0017】

また外部回路にレベルシフタを配置せずに構成することで、筐体の小型化、作製費用の削減、消費電力の削減を実現する。さらに内部回路にレベルシフタを配置せずにシフトレジスタを提供することで、CKの波形の遅延や鈍りの問題、内部回路に配置された電源線の電圧降下の問題を解決し、内部回路における駆動回路の占有面積の小型化、消費電力の削減、高周波数動作を実現する。

#### 【0018】

尚、クロックドインバータとは図11に示すタイプだけでなく、図1(A)の10、図1(C)の10、図2(A)の10、図2(C)の10、図3(A)の10、17、図3(C)の10、17のように、図11(A)のクロックドインバータを変形した、直接クロック信号が入力されないタイプも含むものとする。

#### 【0019】

##### 【発明の実施の形態】

##### (実施の形態1)

本発明の実施の形態について、図1を用いて説明する。ここでは、一例として、CKのHレベルの信号は5V、Lレベルの信号は2V、VDDは7V、VSSは0Vとする。つまり、CKの振幅は3V、電源電圧幅は7Vとする。

#### 【0020】

本発明の第1の構成について、図1(A)を用いて説明する。図1(A)には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT11～13を備えたクロックドインバータ10、直列に接続されたTFT14a及15aを備えた補償回路19a、インバータ16及びクロックドインバータ17から構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBの信号が交互に入力される。

#### 【0021】

TFT11のゲートにはクロック信号線が接続され、CKが入力される。TFT12のゲートにはスタートパルス又は(n-1)段に配置されたクロックドインバータ

16の出力（図では信号Sと表記）、TFT14a、15aのゲートには信号Sの反転信号（図では信号SBと表記）、TFT14aのソースには（n-2）段に配置されたクロックドインバータ10の出力が入力される。なお図中、（n-2）段に配置されたクロックドインバータ10の出力は、2段前と表記する。

#### 【0022】

本発明では、補償回路19において、互いに接続されたTFT14a及び15aのゲートを入力端子とし、互いに接続されたTFT14a及び15aのドレインを出力端子とする。

#### 【0023】

動作について図1（B）のタイミングチャートに従って説明する。図1（B）ではクロック信号の半周期をTと表記し、ここでは期間T1、T2における動作について説明する。

#### 【0024】

期間T1において、2段前の信号はVSS、信号SはVDD、信号SBはVSS、CKはHレベル（5V）であるので、TFT12はオフ、TFT14aはオン、TFT15aはオフ、TFT13がオフになる。このとき、VDDがインバータ16とクロックドインバータ17によって構成されたループにより保持され、OUTにはVDDが出力される。

#### 【0025】

そして、期間T1から期間T2に移り、2段前の信号がVSSからVDDに変わる。信号SはVDD、信号SBはVSS、CKはLレベル（2V）である。そうすると、TFT12はオフ、TFT14aはオン、TFT15aはオフになる。この場合、TFT13のゲートに入力される信号はVDDに変わり、TFT13はオフからオンに変わる。そうすると、OUTにはVSSが出力される。本発明では、信号がVDDからVSSに変化する動作を立ち下がりと言ふ。

#### 【0026】

次いで、本発明の第2の構成について、図1（C）を用いて説明する。図1（C）には、第n段に配置されたシフトレジスタの1段分の回路図を示す。上記第1の構成との相違点は、直列に接続されたTFT14b及び15bを備えた補償回路19bがTFT11のゲートに接続された点、P型TFT12を削除してN型TFT18

が配置された点、TFT 1 5 b のソースには (n-2) 段に配置されたクロックドインバータ 1 0 の出力が入力される点、TFT 1 8 のゲートには信号 S が入力される点、TFT 1 3 のゲートにはクロック信号線が接続され、CK が入力される点である。

#### 【0 0 2 7】

次いで期間 T 1、T 2 における動作について、図 1 (D) のタイミングチャートに従って説明する。但し、第 2 の構成の動作は、上記の第 1 の構成の説明に準ずるので、簡単に説明する。

#### 【0 0 2 8】

期間 T 1 において、OUT には VSS が出力される。期間 T 1 から期間 T 2 に移り、2 段前の信号が VDD から VSS に変わる。そうすると、2 段前の信号が TFT 1 1 のゲートに入力されて、TFT 1 1 はオンになる。一方、TFT 1 8 はオフであるので、OUT には VDD が出力される。本発明では、信号が VSS から VDD に変化する動作を立ち上がりと呼ぶ。

#### 【0 0 2 9】

上記の第 1 の構成を有する本発明は立ち下がりに大変有効であり、また上記の第 2 の構成を有する本発明は立ち上がりに大変有効であり、以下の (1) の効果を奏する。

(1) 図 1 (A) における TFT 1 4 a、図 1 (C) における TFT 1 5 b のソースに、CK をそのまま入力する場合、その振幅が小さいために、前記 TFT が早めにオンしてしまう問題が生じていた。より詳しくは、図 1 (B) の 1 7 0、図 1 (D) の 1 7 1 に示すような波形の信号が生成されてしまう問題が生じていた。リーク電流が大きいときにはパルスがシフトしなくなる。しかしながら、本発明では 2 段前の信号を用いることで、前記 TFT が早めにオンすることなく、所望のタイミングでオンさせることができる。

#### 【0 0 3 0】

また上記の第 1 又は第 2 の構成を有する本発明は、上記 (1) 以外にも、以下の (2) (3) の有利な効果を奏する。

(2) 通常、クロックドインバータは、直列に接続された 2 つの N 型 TFT と、直列に接続された 2 つの P 型 TFT の合わせて 4 つの TFT により構成される。そして、従

来では、オン電流を稼ぐ関係から、前記直列に接続された2つのTFTのゲート幅(W)は大きく設定されていた。そのため、そのゲートを負荷とするTFTのゲート幅も大きく設定する必要が生じ、結果的に全体として負荷が大きく、高周波動作の妨げとなっていた。しかしながら、本発明は、ダブルゲートのTFT(直列に接続された2つのTFT)をシングルゲートのTFTに変えることができる。例えば、図1(A)の構成では、従来直列に接続された2つのN型TFTの配置が必要であったが、本発明では1つのN型TFT 13により構成される。その結果、本発明では、TFTのゲート幅を大きく設定する必要はなく、またTFTのサイズを小さくすることができるため、高集積化が可能となる。さらに、そのゲート(ゲート容量)を負荷とする素子の負担を軽減し、全体としても負荷が小さくなるため、高周波動作が可能となる。

(3) また、直列に接続された同じ導電型の2つのTFTは、その電流能力(パワー)が弱かった。しかし本発明では、ダブルゲートのTFTをシングルゲートのTFTに変えることができるため、構成するTFTの電流能力を強くすることができる。例えば、図1(A)の構成ではN型TFT 13、図1(C)の構成ではP型TFT 11の電流能力を強くすることができる。

#### 【0031】

上述の通り図1の構成は立ち下がり、立ち上がりに大変有効である。しかしながら図1(A)(B)において、期間T3に移るとSがVSS、SBがVDD、CKがHレベルになり、TFT 12がオン、TFT 13がオフ、TFT 11がそのしきい値によりオン又はオフする。仮にTFT 11のしきい値が所望の値よりも低いとすると、TFT 11がオンしてしまい、シフトレジスタが正確な動作を行わない場合がある。

#### 【0032】

そこで、期間T3においてOUTがVSSの保持に有効である構成を本発明の第3の構成として提案する。

#### 【0033】

本発明の第3の構成について、図2(A)を用いて説明する。図2(A)には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT 11及13を備えたクロックドインバータ10、直列に接続されたT



FT14a 及 15a を備えた補償回路 19a、TFT14b 及 15b を備えた補償回路 19b、インバータ 16、TFT22～25 を備えたクロックドインバータ 17 から構成される。シフトレジスタは、この 1 段の回路を縦続接続して構成され、各段で CK 及び CKB が交互に入力される。図 2 (A) の構成と上記図 1 (A) の構成の相違点は、TFT12 が削除され、TFT11 のゲートに補償回路 19b の出力、補償回路 19b の入力に SB、TFT14b のソースに VDD、TFT15b のソースに CK がそれぞれ接続され、TFT24 及び TFT25 の電流能力が高くなるようチャネル幅が大きく設定されている点である。

#### 【0034】

期間 T1、T2 における図 2 (A) の構成の動作について、図 2 (B) のタイミングチャートに従って説明する。

#### 【0035】

期間 T1 では、2 段前の信号は VDD、信号 SB は VSS、クロック信号 CK は L レベルであるので、TFT14a はオン、TFT15a はオフ、TFT13 はオン、TFT14b はオン、TFT15b はオフ、TFT11 はオフする。したがって、OUT には VSS が出力される。

#### 【0036】

次いで、期間 T2 において、2 段前の信号は VDD、信号 SB は VDD、クロック信号 CK は H レベルであるので、TFT13 はオフ、TFT11 はオン又はオフする。このとき、OUT の VSS がインバータ 16 とクロックドインバータ 17 によって構成されたループにより保持され、OUT には VSS が出力され続ける。なお本発明では、期間 T2 における動作を保持とよぶ。本構成は、保持に大変有効であり、以下には、期間 T2 における保持の動作について、より詳しく説明する。

#### 【0037】

期間 T2 において、信号 SB は VDD (7 V) である。TFT15b は、信号 SB が VDD (7 V)、CK が H レベル (5 V) の条件下では、その VGS は 2 V となる。

#### 【0038】

このとき、TFT15b のしきい値電圧 ( $|V_{TH}|$ ) が 2 V 以下であれば、TFT15b はオンして、CK (H レベル、5 V) が TFT11 のゲートに入力される。TFT11

は、そのしきい値電圧に従って、オン又はオフが決定される。

仮にTFT 1 1 がオンすると、OUTからVDDを出力しようとする。しかしVSSを保持するクロックドインバータ 1 7 のTFT 2 4 及びTFT 2 5 の電流能力が高くなるように設定されているため、結果的にはVSSが出力され、論理的に正確な動作を行う。これは、図 2 (B) のタイミングチャート中の波形 1 7 2 に示すように、OUTから出力される信号が正確に保持されず、所望のタイミングよりも早めにVSSからVDDに切り替わってしまうことを防ぐ。

#### 【 0 0 3 9 】

また、上記のように正確な動作を行ったとしても、オフしたいP型TFT 1 1 がオンしているため、VDD-VSS間にリーク電流が流れてしまい、消費電流が増加するという問題が生じる。このような場合には、図 2 (A) に図示するように、TFT 1 4 b 及び 1 5 b のゲートにインバータ 2 0、2 1 を接続させるとよい。そうすると、図 2 (B) の波形 1 7 4 に示すように信号SBを遅延させることができるため、TFT 1 5 b がオンするタイミングを遅延させ、結果的にリーク電流が流れるタイミングを遅延させることができる。なお接続するインバータの個数は論理が異ならない限り特に限定されないが、遅延の度合いはC Kの半周期以下に設定する。

#### 【 0 0 4 0 】

一方、TFT 1 1 又はTFT 1 5 b のしきい値電圧 ( $|V_{TH}|$ ) が2 V以上であれば、TFT 1 5 b はオンせずに、リーク電流は発生しない。リーク電流の発生を防ぐことが出来れば、消費電流が増加することはない。また、OUTに出力される信号の波形が所望のタイミングより早く立ち上がることが無く、安定した波形の信号を生成する。

#### 【 0 0 4 1 】

また、図 1 (C) (D) の期間T3においても、N型TFT 1 5 b のしきい値が所望の値よりも低く、オンしてしまい、OUTのVDDを保持できず、シフトレジスタが正確な動作を行わない場合がある。

#### 【 0 0 4 2 】

そこで、期間T3においてOUTのVDDの保持に有効である構成を本発明の第4の

構成として提案する。

#### 【 0 0 4 3 】

本発明の第 4 の構成について、図 2 (C) を用いて説明する。図 2 (C) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。上記第 2 の構成との相違点は、TFT 1 8 が削除され、TFT 1 3 のゲートに補償回路 1 9 a の出力、補償回路 1 9 a の入力に SB、TFT 1 4 a のソースに CK、TFT 1 5 a のソースに VSS がそれぞれ接続され、TFT 2 2 及び TFT 2 3 の電流能力が高くなるようチャネル幅が大きく設定されている点である。

#### 【 0 0 4 4 】

また、期間 T 1、T 2 における動作について図 2 (D) のタイミングチャートに従って説明する。但し、図 2 (C) の構成の動作は、上述した図 2 (A) の構成の動作の説明に準ずるので、簡単に説明する。

#### 【 0 0 4 5 】

期間 T 1 では、2 段前の信号は VSS、信号 SB は VDD、クロック信号 CK は H レベルであるので、TFT 1 4 b はオフ、TFT 1 5 b はオン、TFT 1 1 はオンする。OUT には VDD が出力される。

#### 【 0 0 4 6 】

次いで、期間 T 2 において、2 段前の信号は VSS、信号 SB は VSS、クロック信号 CK は L レベルであるので、TFT 1 1 はオフ、TFT 1 3 はオン又はオフする。このとき、OUT の VDD がインバータ 1 6 とクロックドインバータ 1 7 によって構成されたループにより保持され、OUT には VDD が出力され続ける。本構成は、保持に大変有効であり、以下には期間 T 2 における動作について、より詳しく説明する。

#### 【 0 0 4 7 】

期間 T 2 において、信号 SB は VSS (0 V) である。また TFT 1 4 a は、信号 SB が VSS (0 V)、CK が L レベル (2 V) の条件下では、その VGS は |2 V| となる。

#### 【 0 0 4 8 】

このとき、TFT 1 4 a のしきい値電圧 ( $|V_{TH}|$ ) が 2 V 以下であれば、TFT 1 4 a はオンして、CK (L レベル、2 V) が TFT 1 3 のゲートに入力される。TFT 1 3 は、そのしきい値電圧に従って、オン又はオフが決定される。

仮にTFT13がオンすると、OUTからVSSを出力しようとする。しかし、VDDを保持するクロックドインバータ17のTFT22及びTFT23の電流能力が高くなるように設定されているため、結果的には論理的に正確な動作を行う。これは、図2(D)のタイミングチャート中の波形173に示すように、OUTから出力される信号が正確に保持されず、所望のタイミングよりも早めにVDDからVSSに切り替わってしまうことを防ぐ。

#### 【0049】

また、上記のように正確な動作を行ったとしても、オフにしたいN型TFT13がオンしているため、VDD-VSS間にリーク電流が流れてしまい、消費電流が増加するという問題が生じる。このような場合には、図2(C)に図示するように、TFT14a及び15aのゲートにインバータ20、21を接続させるとよい。そうすると、図2(D)の波形175に示すように信号SBを遅延させることができるため、P型TFT14aがオンするタイミングを遅延させ、結果的にリーク電流が流れるタイミングを遅延させることができる。なお接続するインバータの個数は論理が異ならない限り特に限定されないが、遅延の度合いはCKの半周期以下に設定する。

#### 【0050】

一方、TFT13又はTFT14aのしきい値電圧( $|V_{TH}|$ )が2V以上であれば、TFT13はオンせずに、リーク電流は発生しない。リーク電流の発生を防ぐことが出来れば、消費電流が増加することはない。また、OUTに出力される信号の波形が所望のタイミングより早くオンすることが無く、安定した波形の信号を生成する。

#### 【0051】

以上をまとめると、上記第3又は第4の構成を有する本発明は、保持に大変有効であり、以下の(4)(5)の効果を奏する。

(4) 図2(A)の構成ではTFT15b、図2(C)の構成ではTFT14aのしきい値電圧( $|V_{TH}|$ )が所望の値(2V)以下の場合には、補償回路19a又は19bの入力端子に複数のインバータを接続させるとよい。そうすると、前記TFTのしきい値電圧が所望の値以下であっても、リーク電流が発生するタイミングを

遅延させることができる。

(5) また、従来では、オフにしたいTFTがオンしてしまうためにVDD-VSS間にリーク電流が流れ、消費電流が増加する問題が生じていた。例えば、図2 (A) の構成ではP型TFT 1 1、図2 (C) の構成ではN型TFT 1 3を本来はオフにしたいが、オンになっていた。しかし、本発明では、図2 (A) の構成ではTFT 1 1又はTFT 1 5 b、図2 (C) の構成ではTFT 1 3又はTFT 1 4 aのしきい値電圧 ( $|V_{TH}|$ ) が所望の値 (2 V) 以上の場合ならば、リーク電流の発生を抑制することができる。

#### 【0 0 5 2】

また、上記第3又は第4の構成を有する本発明は、第1及び第2の構成と同様に、上記の(2)、(3)の有利な効果を奏する。

#### 【0 0 5 3】

しかしながら、図2 (A) (B) において、例えばTFT 1 1がオンしても論理的に正しい動作を行うために、保持用のクロックドインバータ内TFT 2 4、2 5の電流能力を高くなるよう設定してある。そのため期間T 2から期間T 3に移り、CKがLレベルに変わってもOUTがVDDまで変化できずに、結果的にシフトレジスタが正確な動作を行わない場合がある。

そこで、保持期間においてもOUTの安定した波形を得、かつ期間T 2からT 3への立ち上がりに有効な構成を本発明の第5の構成として提案する。

#### 【0 0 5 4】

本発明の第5の構成について、図3 (A) を用いて説明する。図3 (A) には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT 1 1及び1 3を備えたクロックドインバータ1 0、TFT 1 4 a及び1 5 aを備えた補償回路1 9 a、TFT 1 4 b及び1 5 bを備えた補償回路1 9 b、インバータ1 6、直列に接続されたTFT 2 2～2 4を備えたクロックドインバータ1 7、N型TFT 3 4とアナログスイッチ3 5を備えた補償回路1 9 cから構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBが交互に入力される。図2 (A) との相違点は保持用クロックドインバータ1 7内のTFT 2 5を削除し、TFT 2 4のゲートに補償回路1 9 cの出力が接続

されている点、補償回路 19c の TFT 34 のゲート及びアナログスイッチ 35 の P 型 TFT 側のゲートの入力にはインバータ 16 の出力の反転信号、つまり OUT が接続されている点、アナログスイッチ 35 の N 型 TFT 側のゲートの入力にはインバータ 16 の出力が接続されている点、TFT 34 のソースには VSS が接続されている点、アナログスイッチ 35 のソースには CK が接続されている点である。

#### 【0055】

TFT 22 のゲートにはクロックバー信号線が接続され、CKB が入力される。TFT 23 のゲートにはインバータ 16 の出力が入力される。また、TFT 24 の電流能力は大きくなるよう設定されている。より詳しくは、TFT 24 の  $W_{24}/L$  (ゲート幅) /  $L$  (ゲート長) と TFT 11 の  $W_{11}/L$  は、 $W_{24}/L : W_{11}/L = x : y$  とすると、 $y = 1$ 、 $x \geq 0.5$  に設定される。

#### 【0056】

期間 T1 ~ T3 における動作について図 3 (B) のタイミングチャートに従って説明する。期間 T1 において、クロックドインバータ 10 からは VSS が出力される。

#### 【0057】

次いで、期間 T2 における動作について説明する。クロックドインバータ 17 において、TFT 22 のゲートには CKB (L レベル、2 V) が入力され、オンになる。TFT 23 のゲートには、OUT の反転信号 (VDD) が入力されてオフになる。TFT 34 のゲートには OUT (VSS) が入力されてオフになる。TFT 24 のゲートにはアナログスイッチ 35 を介して CK (H レベル、5 V) が入力されてオンになる。このとき、TFT 23 がオフし、TFT 24 がオンしているため VSS が出力される。

#### 【0058】

また、クロックドインバータ 10 において、TFT 11 は、オン又はオフである。仮に、TFT 11 がオンであったとしても TFT 24 の電流能力は高いため、期間 T2 では、安定して VSS が出力される。

#### 【0059】

そして、期間 T2 から T3 に移るにあたり、クロックドインバータ 10 の出力は、正確に VSS から VDD に切り替わることが望ましい。しかし、N 型 TFT 24 の電流

能力が高いため、図3 (B) のタイミングチャート中の波形176に示すように、VSSからVDDへの切り替わりができず、シフトレジスタが正確な動作をおこなわない場合が生ずる。しかし、本発明では、上記のようなことが生じないように、以下の手段を講じる。

#### 【0060】

クロックドインバータ10では、期間T2からT3に移るにあたり、その出力をVSS (0 V) からVDD (7 V) に切り替えようとする。しかし、クロックドインバータ17が有するN型TFT24の電流能力が大きいために、TFT11にかかる $|V_{GS}|$ が2 Vから5 Vに変わり、VDDをOUTに出力しようとするが、0 Vから7 Vまであげられない場合がある。そうすると、インバータ16の出力も0 Vにならないため、保持用のクロックドインバータ17には7 Vが入り続け、TFT23とTFT24のオン、オフが入れ替わらずに、OUTにはVSS (0 V) が出力され続け、シフトレジスタが正確な動作を行わない。

#### 【0061】

しかし、本発明では、クロックドインバータ10の出力がVSS (0 V) からVDD (7 V) まで変わらなくても、TFT11にかかる $V_{GS}$ が2 Vから5 Vに変わる瞬間、OUTの出力がTFT34のしきい値以上変化すれば、TFT34がオンし、TFT24を強制的にオフすることができる。そうすると、TFT11はTFT24の影響を受けることなく、OUTの出力をVDDまであげることができる。なおかつ、OUTの立ち上がりは所望のタイミングで行われる。更にこのとき、TFT35をアナログスイッチに置換することで、CKのLレベルがTFT24のゲートに入力される。TFT24のしきい値が2 V以上であればオフし、仮に、しきい値が2 V以下でオンしても、 $|V_{GS}|$ が5 Vから2 Vになるので、保持する力が弱まり、OUTの出力が変化しやすくなる。

また、TFT24の電流能力はしきい値にも起因するため、N型TFTのしきい値が低く、TFT24の電流能力が高いほど、同極性のTFT34のしきい値も低いと考えられ、OUTの変化が少なくてもオンする。反対にTFT34のしきい値が高くても、その場合にはTFT24のしきい値も高く、保持する能力は弱いので、問題なく動作する。

## 【 0 0 6 2 】

以上をまとめると、上記第 5 の構成を有する本発明は保持と立ち上がりに大変有効であり、以下の (6) (7) の効果を奏する。

(6) 本発明では、クロックドインバータ 1 7 が有する N 型 TFT 2 4 の電流能力を大きく設定する。インバータ 1 6 とクロックドインバータ 1 7 で構成するループで VSS を保持する場合、TFT 2 4 の電流能力が大きいと、安定して VSS を出力することができる。

(7) また、クロックドインバータ 1 0 の出力が VSS から VDD に変わる立ち上がりにおいて、クロックドインバータ 1 7 が有する N 型 TFT 2 4 の電流能力が大きいと、立ち上がりせず、正確な動作を行わない場合が生じる。しかし、この立ち上がりのタイミングは、クロックドインバータ 1 0 が有する P 型 TFT 1 1 により決定され、TFT 1 1 の VGS が変わる瞬間、OUT の出力が変化すると、N 型 TFT 3 4 はそのしきい値を超えたところでオンする。そうすると、OUT の出力は正確に立ち上げることができる。

## 【 0 0 6 3 】

また、図 2 (C) (D) においても同様に、期間 T 2 から期間 T 3 に移り、CK が H レベルに変わっても OUT が VSS まで変化できずに、結果的にシフトレジスタが正確な動作を行わない場合がある。

そこで、保持期間においても OUT の安定した波形を得、かつ期間 T 2 から T 3 への立ち下がりに有効な構成を本発明の第 6 の構成として提案する。

## 【 0 0 6 4 】

続いて、本発明の第 6 の構成について、図 3 (C) を用いて説明する。図 3 (C) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。1 段は直列に接続された TFT 1 1 及び 1 3 を備えたクロックドインバータ 1 0、TFT 1 4 a 及び 1 5 a を備えた補償回路 1 9 a、TFT 1 4 b 及び 1 5 b を備えた補償回路 1 9 b、インバータ 1 6、直列に接続された TFT 2 3 ~ 2 5 を備えたクロックドインバータ 1 7、P 型 TFT 3 7 とアナログスイッチ 3 5 を備えた補償回路 1 9 d から構成される。シフトレジスタは、この 1 段の回路を縦続接続して構成され、各段で CK 及び CKB が交互に入力される。図 2 (C) との相違点は保持用クロッ



クドインバータ 17 内の TFT 22 を削除し、TFT 23 のゲートに補償回路 19 d の出力が、補償回路 19 d の P 型 TFT 37 及びアナログスイッチ 35 の N 型 TFT 側のゲートの入力にはインバータ 16 の出力の反転信号、つまり OUT が接続されている点、アナログスイッチ 35 の P 型 TFT 側のゲートにはインバータ 16 の出力が接続されている点、TFT 37 のソースには VDD が接続されている点、アナログスイッチ 35 のソースには CK が接続されている点である。

#### 【0065】

TFT 25 のゲートにはクロック信号線が接続され、CK が入力される。TFT 37 のゲートにはクロックドインバータ 10 の出力 (OUT) が入力される。また、TFT 23 の電流能力は大きく、なるよう設定されている。より詳しくは、TFT 23 の  $W_{23}/L$  (ゲート幅) /  $L$  (ゲート長) と TFT 13 の  $W_{13}/L$  は、 $W_{23}/L : W_{13}/L = x : y$  とすると、 $y=1$ 、 $x \geq 1$  に設定される。

#### 【0066】

期間 T1 ~ T3 における動作について図 3 (D) のタイミングチャートに従って説明する。期間 T1 において、クロックドインバータ 10 からは VDD が出力される。

#### 【0067】

次いで、期間 T2 における動作について説明する。クロックドインバータ 17 において、TFT 25 のゲートには CKB (H レベル、5 V) が入力され、オンになる。TFT 24 のゲートには、OUT の反転信号 (VSS) が入力されてオフになる。TFT 37 のゲートには OUT (VDD) が入力されてオフになる。TFT 23 のゲートにはアナログスイッチ 35 を介して CK (L レベル、2 V) が入力されてオンになる。このとき、TFT 24 がオフし、TFT 23 がオンしているため VDD が出力される。

#### 【0068】

また、クロックドインバータ 10 において、TFT 13 は、オン又はオフである。仮に、TFT 13 がオンであったとしても TFT 23 の電流能力は高いため、期間 T2 では、安定して VDD が出力される。

#### 【0069】

そして、期間 T2 から T3 に移るにあたり、クロックドインバータ 10 の出力

は、正確にVDDからVSSに切り替わることが望ましい。しかし、P型TFT 23の電流能力が高いため、図3 (D)のタイミングチャート中の波形177に示すように、VDDからVSSへの切り替わりができず、シフトレジスタが正確な動作をおこなわない場合が生ずる。しかし、本発明では、上記のようなことが生じないように、以下の手段を講じる。

#### 【0070】

クロックドインバータ10では、期間T2からT3に移るにあたり、その出力をVDD (0 V) からVSS (7 V) に切り替えようとする。しかし、クロックドインバータ17が有するP型TFT 23の電流能力が大きいために、TFT 13にかかるVGSが2 Vから5 Vに変わり、VSSをOUTに出力しようとするが、7 Vから0 Vまで下げられない場合がある。そうすると、インバータ16の出力も7 Vにならないため、保持用のクロックドインバータ17には0 Vが入り続け、TFT 23とTFT 24のオン、オフが入れ替わらずに、OUTにはVDD (7 V) が出力され続け、シフトレジスタが正確な動作を行わない。

#### 【0071】

しかし、本発明では、クロックドインバータ10の出力がVDD (7 V) からVSS (0 V) まで変わらなくても、TFT 13にかかるVGSが2 Vから5 Vに変わる瞬間に、OUTの出力がTFT 37のしきい値以上変化すれば、TFT 37がオンし、TFT 23を強制的にオフすることができる。そうすると、TFT 13はTFT 23の影響を受けることなく、OUTの出力をVSSまで下げることができる。なおかつ、OUTの立ち下がりには所望のタイミングで行われる。更にこのとき、TFT 35をアナログスイッチに置換することで、CKのHレベルがTFT 23のゲートに入力される。TFT 23のしきい値が2 V以上であればオフし、仮にしきい値が2 V以下でオンしても、 $|VGS|$ が5 Vから2 Vになるので、保持する力が弱まり、OUTの出力が変化しやすくなる。

また、TFT 23の電流能力はしきい値にも起因するため、P型TFTのしきい値が低く、TFT 23の電流能力が高いほど、同極性のTFT 37のしきい値も低いと考えられ、OUTの変化が少なくてもオンする。反対にTFT 37のしきい値が高くても、その場合にはTFT 23のしきい値も高く、保持する能力は弱いので、問題なく動

作する。

### 【0072】

以上をまとめると、上記第6の構成を有する本発明は保持と立ち下がりに大変有効であり、以下の(8)(9)の効果を奏する。

(8) 本発明では、クロックドインバータ17が有するP型TFT23の電流能力を大きく設定する。インバータ16とクロックドインバータ17で構成するループでVDDを保持する場合、TFT23の電流能力が大きいため、安定してVDDを出力することができる。

(9) また、クロックドインバータ10の出力がVDDからVSSに変わる立ち下がりにおいて、クロックドインバータ17が有するP型TFT23の電流能力が大きいため、立ち下がらず、正確な動作を行わない場合が生じる。しかし、この立ち下がりのタイミングは、クロックドインバータ10が有するN型TFT13により決定され、TFT13のVGSが変わる瞬間、OUTの出力が変化すると、P型TFT23はそのしきい値を超えたところでオンする。そうすると、OUTの出力を正確に立ち下げることができる。

### 【0073】

(実施の形態2)

図1～3を用いて上述した第1～第6の構成は、自由に組み合わせて用いることができる。ここでは、組み合わせたときの一例について、図6、7を用いて説明する。なお図中、信号Sとはスタートパルス又は(n-1)段に配置されたクロックドインバータ16の出力であり、信号SBは信号Sの反転信号に相当する。また2段前とは、(n-2)段に配置されたクロックドインバータ10の出力に相当する。

### 【0074】

図6(A)は、第3の構成(図2(A))と第5の構成(図3(A))を組み合わせたときの回路図を示す。図6(A)には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT71～73を備えたクロックドインバータ10、インバータ16、直列に接続されたTFT74、75を備えたクロックドインバータ17、直列に接続されたTFT76及び77、イン

バータ 7 8 及び 7 9、TFT 8 0、アナログスイッチ 8 1 から構成される。シフトレジスタは、この 1 段の回路を縦続接続して構成され、各段で C K 及び C K B が交互に入力される。

#### 【 0 0 7 5 】

図 6 ( B ) は、第 2 の構成 ( 図 1 ( C ) )、第 4 の構成 ( 図 2 ( C ) ) と第 6 の構成 ( 図 3 ( C ) ) を組み合わせたときの回路図を示す。図 6 ( B ) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。1 段は直列に接続された TFT 9 1 ~ 9 3 を備えたクロックドインバータ 1 0、インバータ 1 6、直列に接続された TFT 9 4 及び 9 5 を備えたクロックドインバータ 1 7、直列に接続された TFT 9 6 及び 9 7、直列に接続された TFT 9 8 及び 9 9、インバータ 1 2 0、1 2 1、P 型 TFT 1 2 2、アナログスイッチ 1 2 3 から構成される。シフトレジスタは、この 1 段の回路を縦続接続して構成され、各段で C K 及び C K B が交互に入力される。

#### 【 0 0 7 6 】

図 7 ( A ) は、第 4 の構成 ( 図 2 ( C ) ) と、第 6 の構成 ( 図 3 ( C ) ) を組み合わせたときの回路図を示す。図 7 ( A ) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。1 段は直列に接続された TFT 1 3 1 ~ 1 3 3 を備えたクロックドインバータ 1 0、インバータ 1 6、TFT 1 3 4 及び 1 3 5 を備えたクロックドインバータ 1 7、直列に接続された TFT 1 3 6 及び 1 3 7、インバータ 1 3 8、1 3 9、P 型 TFT 1 4 0、アナログスイッチ 1 4 1 から構成される。シフトレジスタは、この 1 段の回路を縦続接続して構成され、各段で C K 及び C K B が交互に入力される。

#### 【 0 0 7 7 】

図 7 ( B ) は、第 1 の構成 ( 図 1 ( A ) )、第 3 の構成 ( 図 2 ( A ) ) と第 5 の構成 ( 図 3 ( A ) ) を組み合わせたときの回路図を示す。図 7 ( B ) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。1 段は直列に接続された TFT 1 5 1 ~ 1 5 3 を備えたクロックドインバータ 1 0、インバータ 1 6、直列に接続された TFT 1 5 4 及び 1 5 5 を備えたクロックドインバータ 1 7、直列に接続された TFT 1 5 6 及び 1 5 7、直列に接続された 1 5 8 及び 1 5 9、イ

ンバータ 1 6 0、1 6 1、N型TFT 1 6 2、アナログスイッチ 1 6 3 から構成される。シフトレジスタは、この 1 段の回路を縦続接続して構成され、各段で C K 及び C K B が交互に入力される。

#### 【 0 0 7 8 】

なお上述した第 1 ～第 6 の構成を組み合わせて用いる際には、動作に支障がなければ、必要のない TFT は削除してもよい。実際に、図 6 (A)、図 7 (B) の構成では、図 3 (A) における TFT 2 2 を削除し、図 6 (B)、図 7 (A) の構成では、図 3 (C) における TFT 2 5 を削除している。同様に、動作に支障がなければ必要に応じて TFT を追加して配置してもよい。

#### 【 0 0 7 9 】

(実施の形態 3)

本発明の実施の形態について、図 1 0 を用いて説明する。

#### 【 0 0 8 0 】

上述した図 6 (B) の回路図における、平面レイアウト図 (上面図) を図 1 0 (A) に示す。また、実際に作製したパネルを光学顕微鏡で拡大した写真を図 1 0 (B) に示す。

#### 【 0 0 8 1 】

図 1 0 (A) (B) に図示した符号は図 6 (B) と対応しているので、詳しい説明は省略する。なお図中、P型TFT 1 6 a とN型TFT 1 6 b は、インバータ 1 6 を構成する。また、P型TFT 1 2 3 a とN型TFT 1 2 3 b はアナログスイッチ 1 2 3 を構成する。

#### 【 0 0 8 2 】

図 1 0 中、TFT 9 4 の W は大きく設定されている。仮に、TFT 9 4 と直列に接続させた同じサイズの TFT の配置が必要な場合には、レイアウト面積が拡大してしまう。しかし、本発明では、W を大きく設定した TFT は TFT 9 4 の 1 つだけを配置すればよいので、レイアウト面積の拡大を抑制することができる。

#### 【 0 0 8 3 】

(実施の形態 4)

上記とは異なる本発明の実施の形態について、図 4、5 を用いて説明する。

## 【0084】

本発明のNANDについて、図4を用いて説明する。図4（A）には、NANDの回路図を示し、並列に接続されたP型TFT51、52、N型TFT54、直列に接続されたP型TFT55及びN型TFT56を備えた補償回路19を有する。TFT51のゲートにはVin1、TFT52のゲート及びTFT55のソースにはVin2、TFT55及び56のゲートにはVin1の反転信号（ここではVinB1と表記）が入力される。

## 【0085】

動作について、図4（B）のタイミングチャートに従って説明する。期間T1において、Vin1はHレベル、VinB1はLレベル、Vin2はLレベルであるので、TFT51はオフ、TFT52はオン、TFT55はオン、TFT56はオフする。またTFT55を介して、Vin2（Lレベル）がTFT54に入力され、該TFT54はオフする。そして出力はVDDをとる。期間T2において、Vin1はHレベル、VinB1はLレベル、Vin2はHレベルであるので、TFT51はオフ、TFT52はオフ、TFT55はオン、TFT56はオフする。またTFT55を介して、VinB1（Lレベル）がTFT54に入力され、TFT54はオンする。そして出力はVSSをとる。

## 【0086】

期間T3において、Vin1はLレベル、VinB1はHレベル、Vin2はHレベルであるので、TFT51はオン、TFT52はオフ、TFT55はオフ、TFT56はオンする。またTFT56を介して、VSSがTFT54に入力され、TFT54はオフする。そして出力はVDDをとる。期間T4において、Vin1はLレベル、VinB1はHレベル、Vin2はLレベルであるので、TFT51はオン、TFT52はオン、TFT55はオフ、TFT56はオンする。またTFT56を介して、VSSがTFT54に入力され、TFT54はオフする。そして出力はVDDをとる。

## 【0087】

次いで、上記構成において、TFT55の代わりにアナログスイッチ57を配置した場合について、図4（C）に示す。図4（C）の構成は、図4（D）のタイミングチャートに従って動作する。なお図4（C）の構成とその動作の説明は、上述した図4（A）の構成とその動作に準ずるので、ここでは省略する。

## 【0088】

次いで、本発明のNORについて、図5を用いて説明する。図5（A）には、NORの回路図を示し、並列に接続されたN型TFT 6 1、6 2、P型TFT 6 4、直列に接続されたP型TFT 6 5 及びN型TFT 6 6 を備えた補償回路 1 9 を有する。TFT 6 1 のゲートにはVin1、TFT 6 2 のゲート及びTFT 6 6 のソースにはViin2、TFT 6 5 及び6 6 のゲートにはVin1の反転信号（ここではVinB1と表記）が入力される。

#### 【0 0 8 9】

動作について、図5（B）のタイミングチャートに従って説明する。期間T 1 において、Vin1はLレベル、VinB1はHレベル、Vin2はHレベルであるので、TFT 6 1 はオフ、TFT 6 2 はオン、TFT 6 5 はオフ、TFT 6 6 はオンする。またTFT 6 6 を介して、Vin2（Hレベル）がTFT 6 4 に入力され、該TFT 6 4 はオフする。そして出力はVSSをとる。期間T 2 において、Vin1はLレベル、VinB1はHレベル、Vin2はLレベルであるので、TFT 6 1 はオフ、TFT 6 2 はオフ、TFT 6 5 はオフ、TFT 6 6 はオンする。またTFT 6 6 を介して、Vin2（Lレベル）がTFT 6 4 に入力され、該TFT 6 4 はオンする。そして出力はVDDをとる。

#### 【0 0 9 0】

期間T 3 において、Vin1はHレベル、VinB1はLレベル、Vin2はLレベルであるので、TFT 6 1 はオン、TFT 6 2 はオフ、TFT 6 5 はオン、TFT 6 6 はオフする。またTFT 6 5 を介して、VDDがTFT 6 4 に入力され、該TFT 6 4 はオフする。そして出力はVSSをとる。期間T 4 において、Vin1はHレベル、VinB1はLレベル、Vin2はHレベルであるので、TFT 6 1 はオン、TFT 6 2 はオン、TFT 6 5 はオン、TFT 6 6 はオフする。またTFT 6 5 を介して、VDDがTFT 6 4 に入力され、該TFT 6 4 はオフする。そして出力はVSSをとる。

#### 【0 0 9 1】

次いで、上記構成において、TFT 6 6 の代わりにアナログスイッチ 6 7 を配置した場合について、図5（C）を用いて説明する。図5（C）の構成は、図5（D）のタイミングチャートに従って動作する。なお図5（C）の構成とその動作の説明は、上述した図5（A）の構成とその動作に準ずるので、ここでは省略する。

#### 【0 0 9 2】

上記図 4 (A) 又は図 4 (C) の構成を有する本発明の NAND、上記図 5 (A) 又は図 5 (C) の構成を有する本発明の NOR は、以下の (10) の有利な効果を奏する。

(10) 通常、NAND、NOR は、直列に接続された 2 つの N 型 TFT と、直列に接続された 2 つの P 型 TFT の合わせて 4 つの TFT により構成される。そして、従来では、オン電流を稼ぐ関係から、前記直列に接続された 2 つの TFT のゲート幅 (W) は大きく設定されていた。そのため、そのゲートを負荷とする TFT のゲート幅も大きく設定する必要が生じ、結果的に全体として負荷が大きく、高周波動作の妨げとなっていた。しかしながら、本発明は、ダブルゲートの TFT (直列に接続された 2 つの TFT) をシングルゲートの TFT に変えることができる。例えば、図 4 (A) の構成では、従来直列に接続された 2 つの N 型 TFT の配置が必要であったが、本発明では 1 つの N 型 TFT 13 により構成される。その結果、本発明では、TFT のゲート幅を大きく設定する必要はなく、また TFT のサイズを小さくすることができるため、高集積化が可能となる。さらに、そのゲート (ゲート容量) を負荷とする素子の負担を軽減し、全体としても負荷が小さくなるため、高周波動作が可能となる。

#### 【0093】

図 4、5 では、NAND、NOR について説明したが、上記以外にも本発明を適用することができる。但し、本発明は、少なくとも 2 つの信号を用いる回路に適用することが好ましい。

#### 【0094】

(実施の形態 5)

本発明の実施の形態について、図 8 を用いて説明する。

#### 【0095】

図 8 (A) は表示装置の外観を示し、該表示装置は、基板 107 上に ( $x \times y$ ) 個の画素 101 がマトリクス状に配置された画素部 102 を有する。画素部 102 の周辺には、信号線駆動回路 103、第 1 の走査線駆動回路 104 及び第 2 の走査線駆動回路 105 を有する。信号線駆動回路 103、第 1 及び第 2 の走査線駆動回路 104、105 には、FPC 106 を介して外部より信号が供給され



る。なお信号線駆動回路 103、第 1 及び第 2 の走査線駆動回路 104、105 は、画素部 102 が形成された基板 107 の外部に配置してもよい。また図 8 では、1 つの信号線駆動回路と、2 つの走査線駆動回路が設けられているが、これらの個数は特に限定されない。これらの個数は、画素 101 の構成に応じて、任意に設定することが出来る。なお表示装置とは、画素部及び駆動回路を基板とカバー材との間に封入したパネル、前記パネルに IC 等を実装したモジュール、ディスプレイなどを範疇に含む。

#### 【0096】

図 8 (B) は信号線駆動回路 103 の構成の一例を示し、該信号線駆動回路 103 はシフトレジスタ 111、第 1 のラッチ回路 112、第 2 のラッチ回路 113 を有する。図 8 (C) は、第 1 の走査線駆動回路 104 の構成の一例を示し、該第 1 の走査線駆動回路 104 はシフトレジスタ 114、バッファ 115 を有する。シフトレジスタ 111、114 には、図 1～3、6、7 に示した構成を自由に用いることができる。また第 1 のラッチ回路 112、第 2 のラッチ回路 113 及びバッファ 115 には、図 4、5 に示した構成、またそれ以外にも本発明を適用した回路を自由に用いることが出来る。

#### 【0097】

本実施の形態は、実施の形態 1～4 と自由に組み合わせることができる。

#### 【0098】

(実施の形態 6)

本発明が適用される電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図 9 に示す。

#### 【0099】

図9 (A) はディスプレイ (発光装置) であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明は表示部2003の駆動回路に適用することができる。また本発明により、図9 (A) に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

#### 【0100】

図9 (B) はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明は、表示部2102の駆動回路に適用することができる。また本発明により、図9 (B) に示すデジタルスチルカメラが完成される。

#### 【0101】

図9 (C) はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明は、表示部2203の駆動回路に適用することができる。また本発明により、図9 (C) に示すコンピュータが完成される。

#### 【0102】

図9 (D) はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明は、表示部2302の駆動回路に適用することができる。また本発明により、図9 (D) に示すモバイルコンピュータが完成される。

#### 【0103】

図9 (E) は記録媒体を備えた携帯型の画像再生装置 (具体的にはDVD再生装置) であり、本体2401、筐体2402、表示部A 2403、表示部B 2404、記録媒体 (DVD等) 読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A 2403は主として画像情報を表示し、表示部B 2404は主として文字情報を表示するが、本発明は表示部A、B 2403、

2404の駆動回路に適用することができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により図9(E)に示す画像表示装置が完成される。

#### 【0104】

図9(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明は、表示部2502の駆動回路に適用することができる。また本発明により、図9(F)に示すゴーグル型ディスプレイが完成される。

#### 【0105】

図9(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明は、表示部2602の駆動回路に適用することができる。また本発明により、図9(G)に示すビデオカメラが完成される。

#### 【0106】

図9(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明は、表示部2703の駆動回路に適用することができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図9(H)に示す携帯電話が完成される。

#### 【0107】

なお、筐体の小型化、内部回路における駆動回路の占有面積の小型化、作製費用の削減、消費電力の削減、高周波動作を実現する本発明は、上記電子機器の全てに優れた相乗効果をもたらすが、携帯端末には特に優れた効果をもたらす。

#### 【0108】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器には、実施の形態1～5に示したいずれの構成を用いても良い。

**【 0 1 0 9 】****【発明の効果】**

第 1 又は第 2 の構成を有する本発明は、2 段前の信号を用いることで、TFT を所望のタイミングでオンさせることができる。

**【 0 1 1 0 】**

第 3 又は第 4 の構成を有する本発明は、補償回路の入力端子に複数のインバータを接続させることで、補償回路が有する TFT のしきい値電圧が所望の値以下であっても、該 TFT がオンするタイミングを遅延させ、リーク電流が流れるタイミングを遅延させることができる。また補償回路が有する TFT のしきい値電圧が所望の値以上の場合には、リーク電流の発生を抑制することができる。

**【 0 1 1 1 】**

第 5 又は第 6 の構成を有する本発明では、クロックドインバータが有する TFT の電流能力を大きく設定することで、正確に保持を行い、また立ち下がり時又は立ち上がり時に鈍りのない安定した波形の信号を供給することができる。

**【 0 1 1 2 】**

また上記構成を有する本発明は、ダブルゲートの TFT（直列に接続された 2 つの TFT）をシングルゲートの TFT に変えることができる。その結果、TFT のゲート幅を大きく設定する必要はなく、また TFT のサイズを小さくすることができるため、高集積化が可能となる。さらに、そのゲート（ゲート容量）を負荷とする素子の負担を軽減し、全体としても負荷が小さくなるため、高周波動作が可能となる。また、構成する TFT の電流能力を高くすることができる。さらに、本発明は、TFT のしきい値バラツキにも強く、約 3 V の振幅の信号をそのまま直に用いても、低電圧で正確に動作させることができる。

**【図面の簡単な説明】**

【図 1】 シフトレジスタの 1 段分の回路図。

【図 2】 シフトレジスタの 1 段分の回路図。

【図 3】 シフトレジスタの 1 段分の回路図。

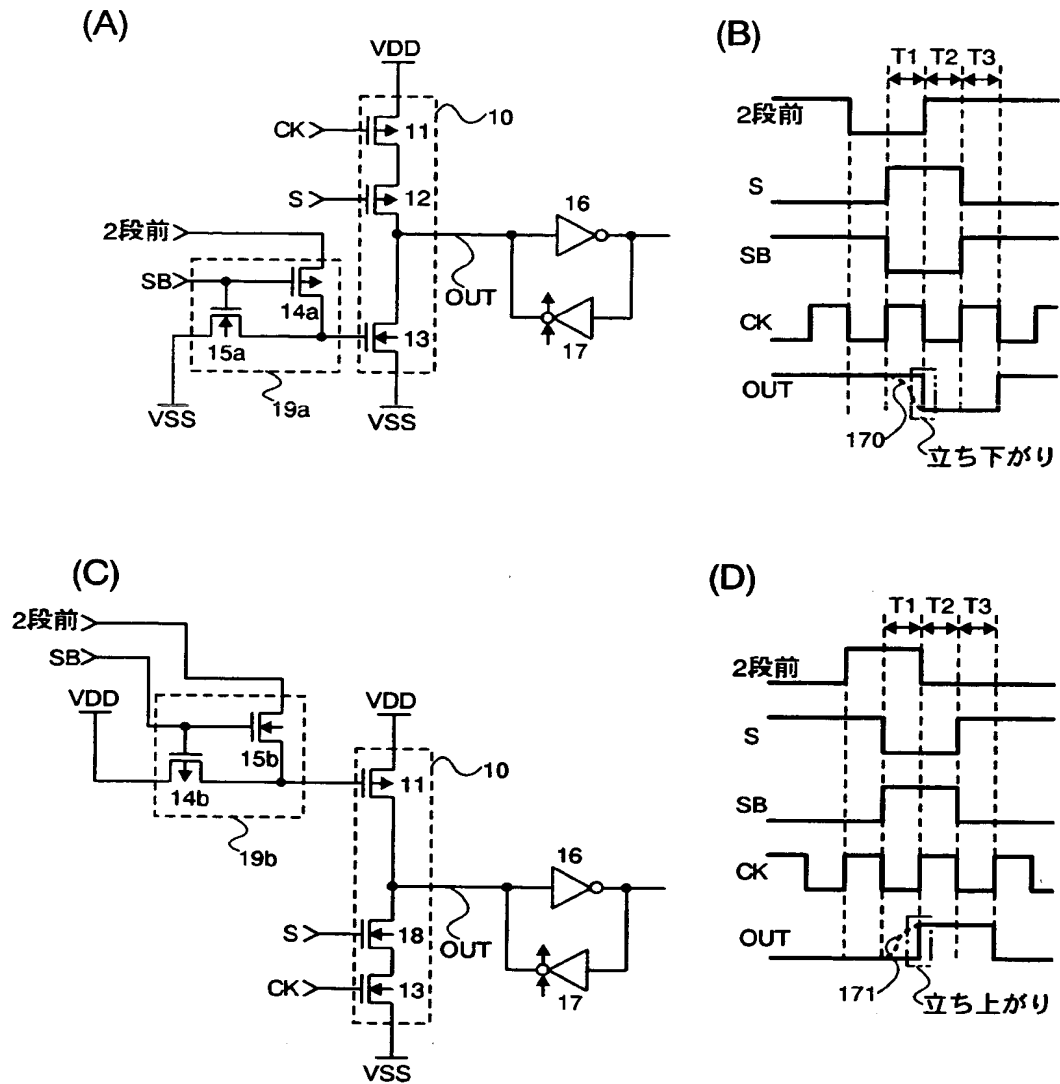
【図 4】 NAND の回路図。

【図 5】 NOR の回路図。

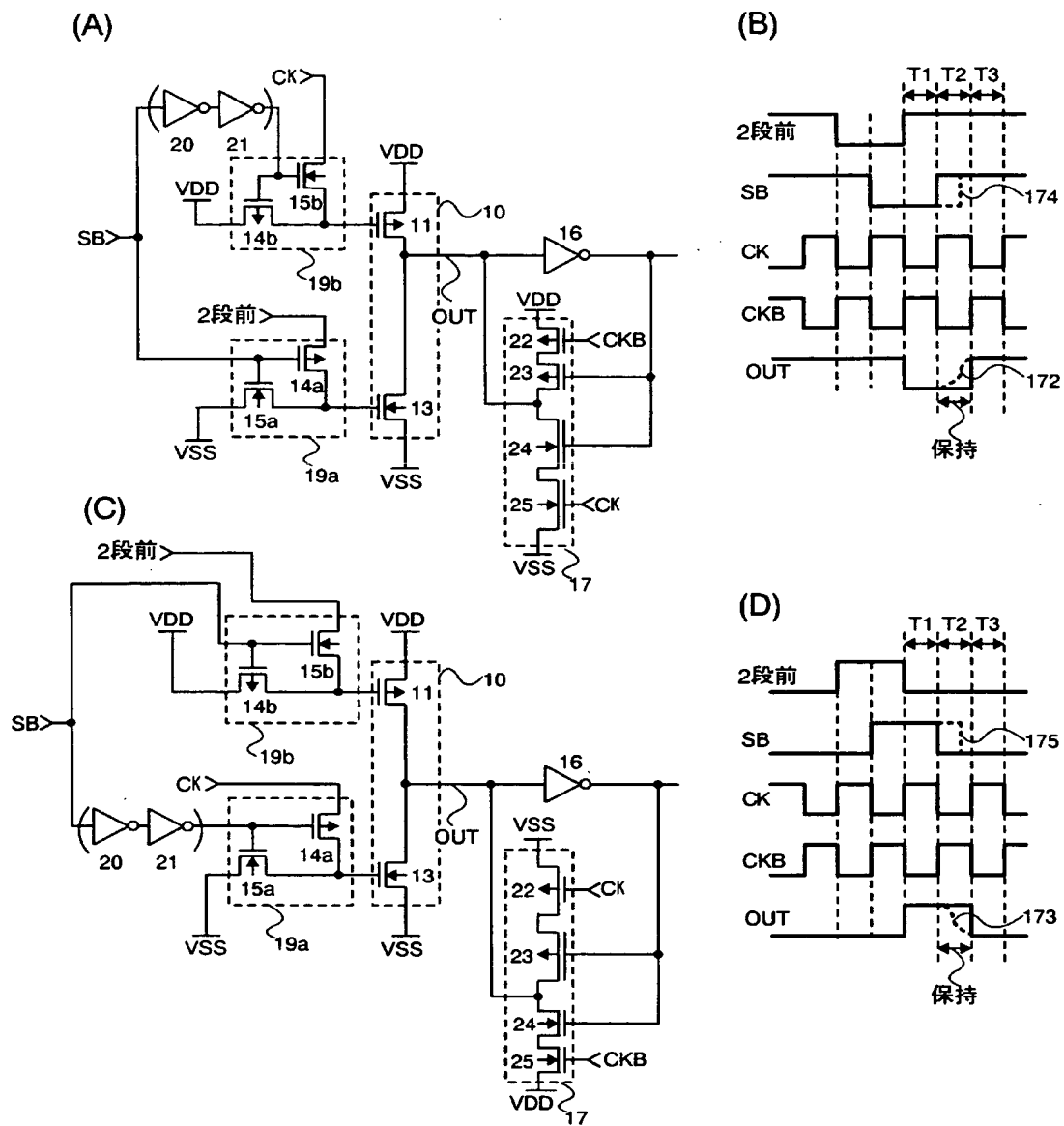
- 【図 6】 シフトレジスタの 1 段分の回路図。
- 【図 7】 シフトレジスタの 1 段分の回路図。
- 【図 8】 パネルの図。
- 【図 9】 電子機器の図。
- 【図 1 0】 マスクレイアウト図及び上面写真。
- 【図 1 1】 クロックドインバータ、NAND、NORの回路図。

【書類名】 図面

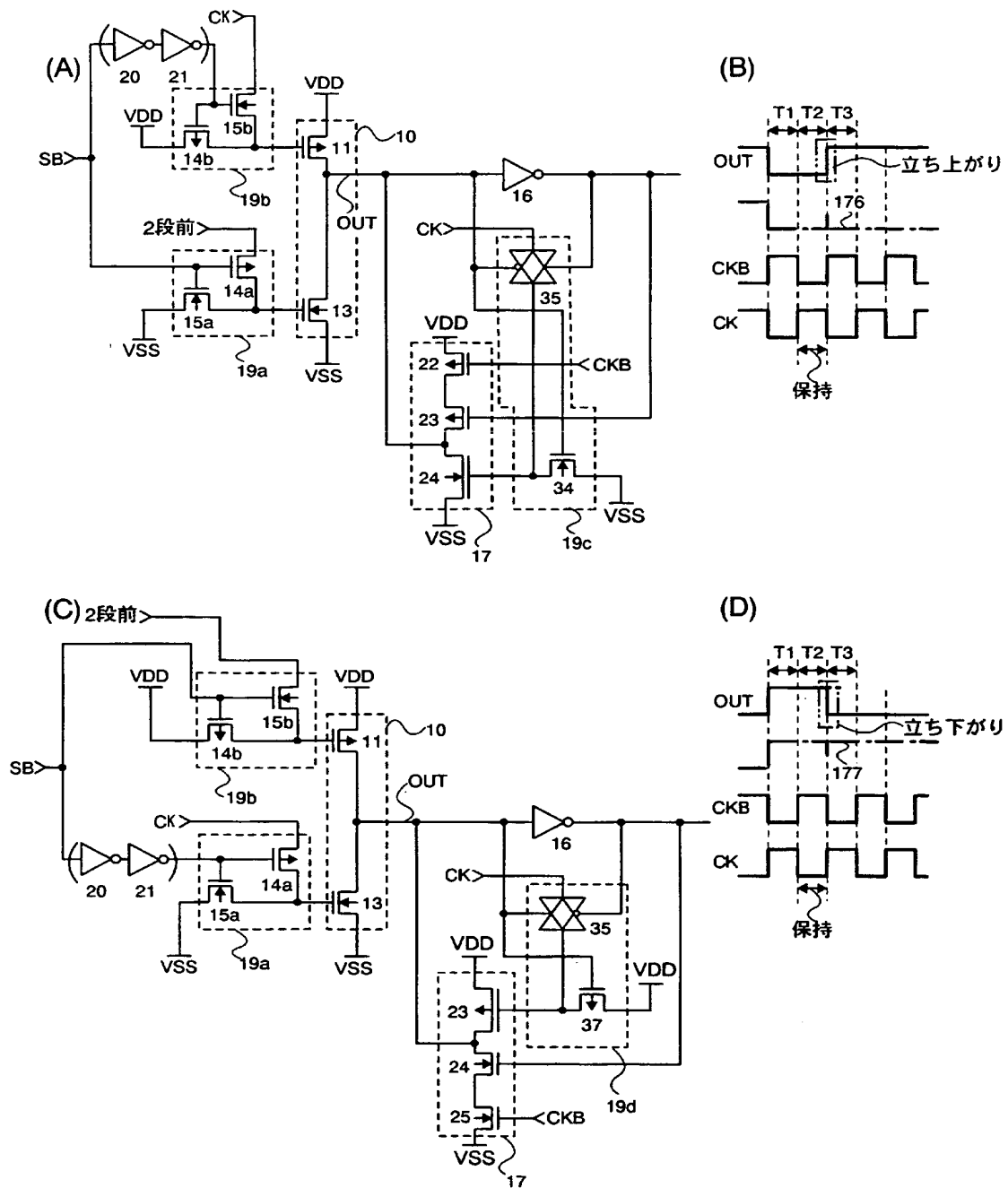
【図 1】



【図 2】

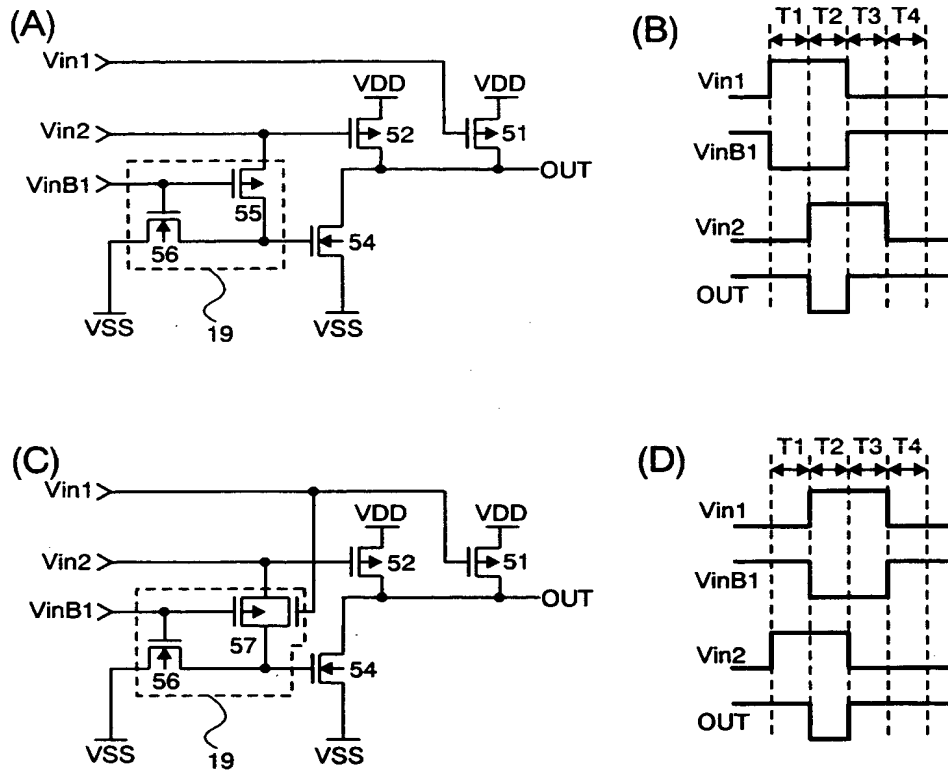


【図 3】

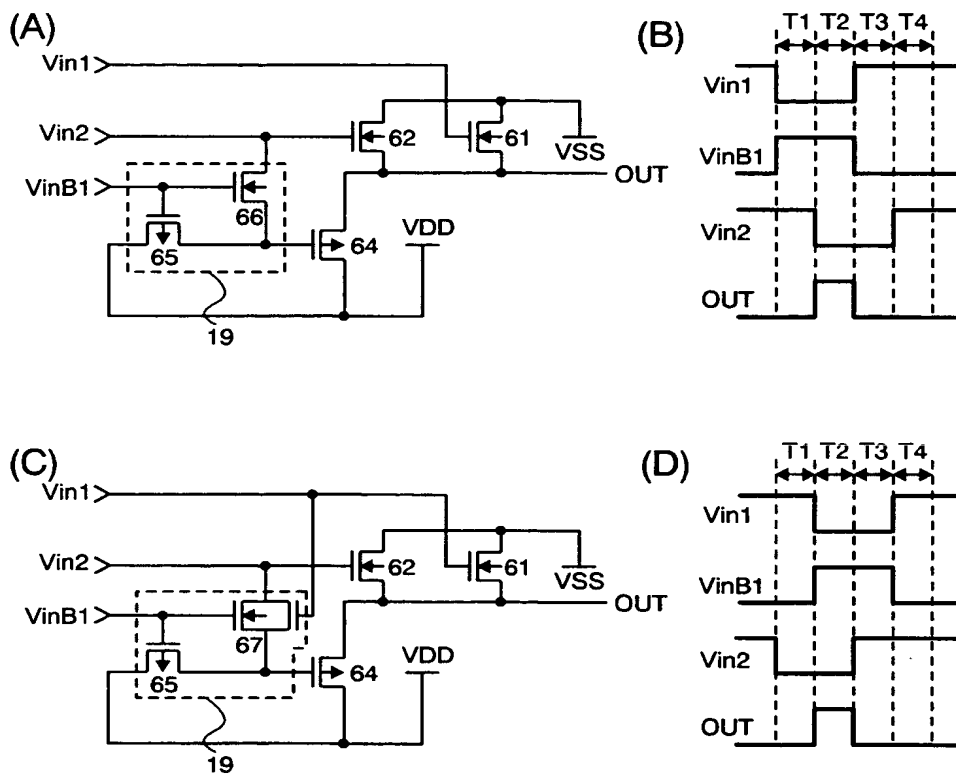




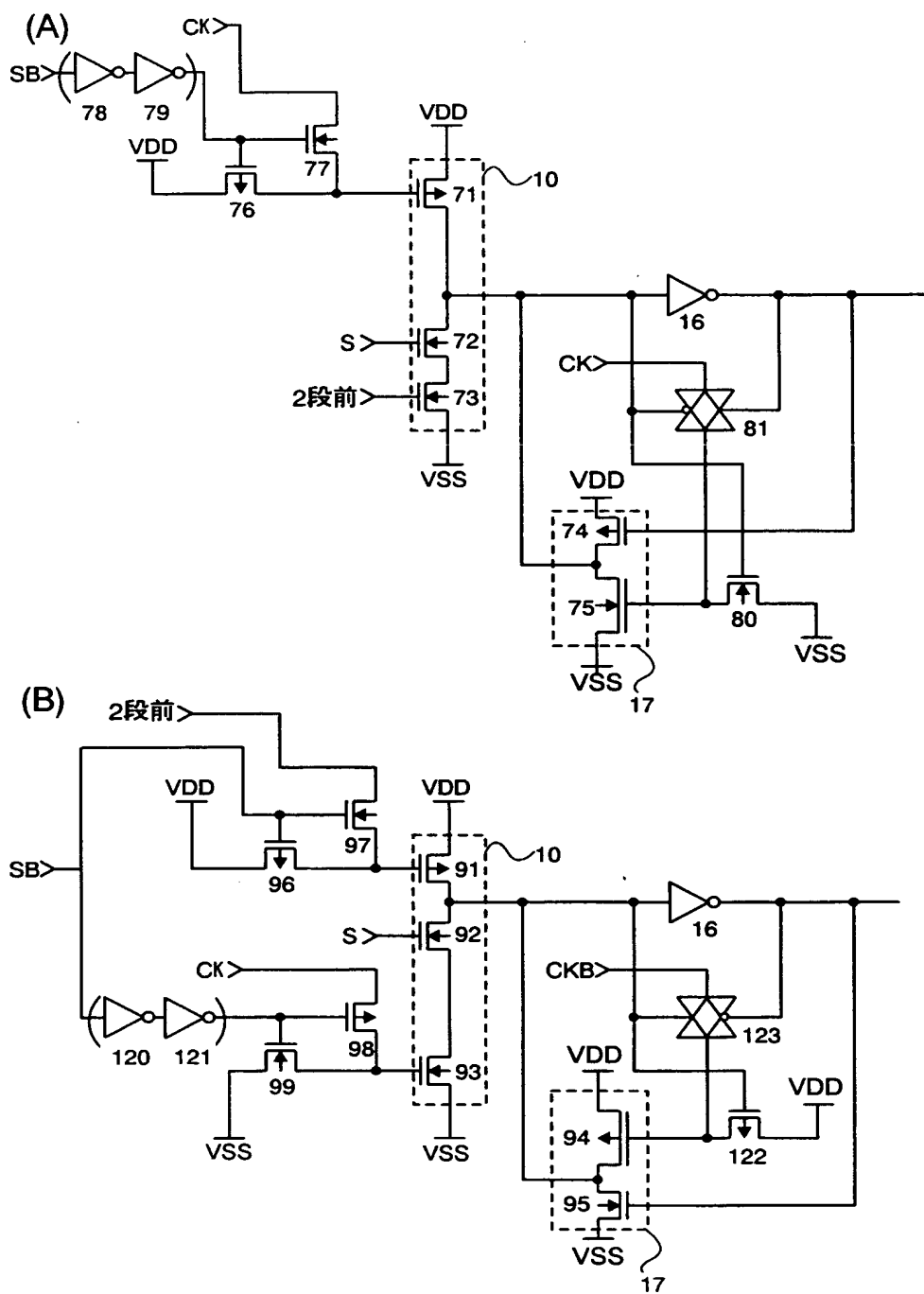
【図 4】



【図 5】

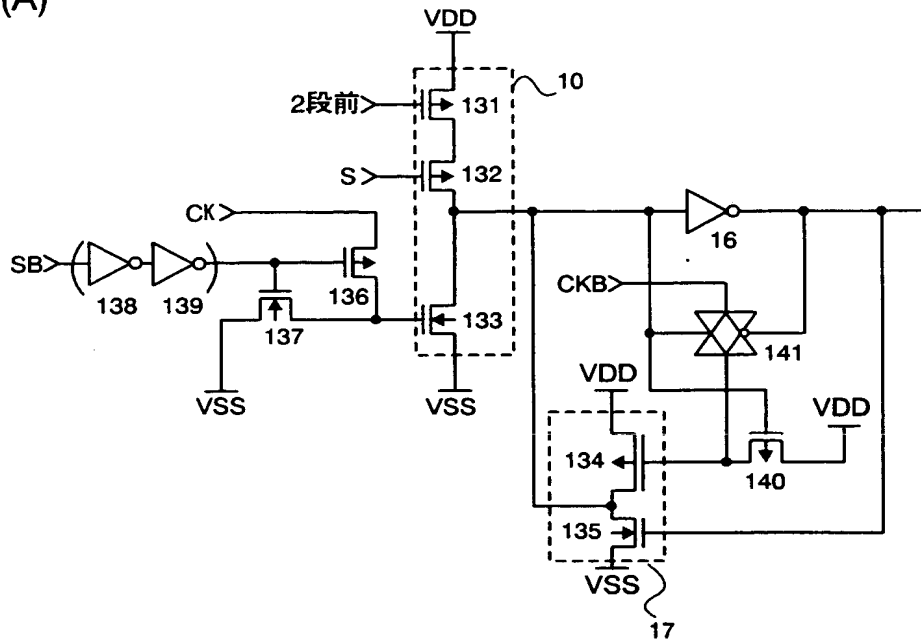


【図 6】

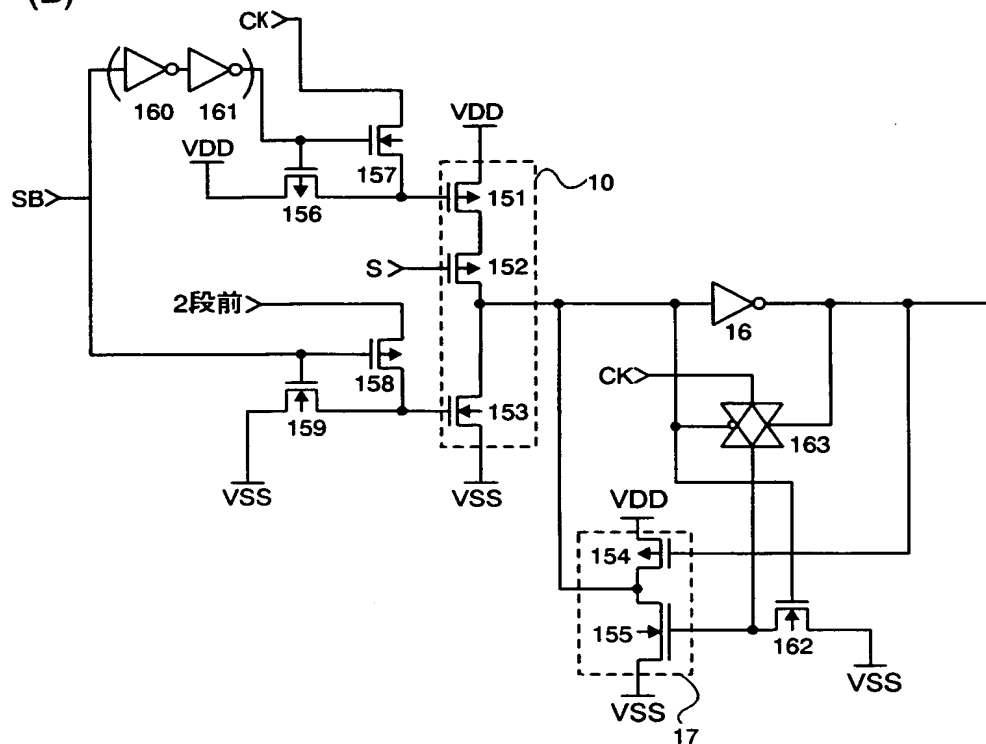


【図 7】

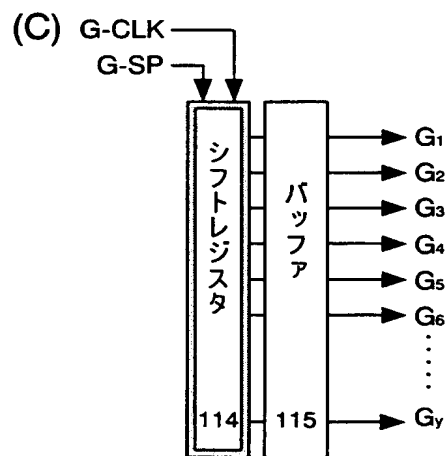
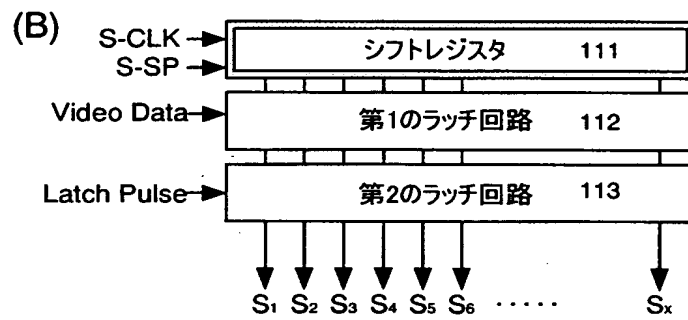
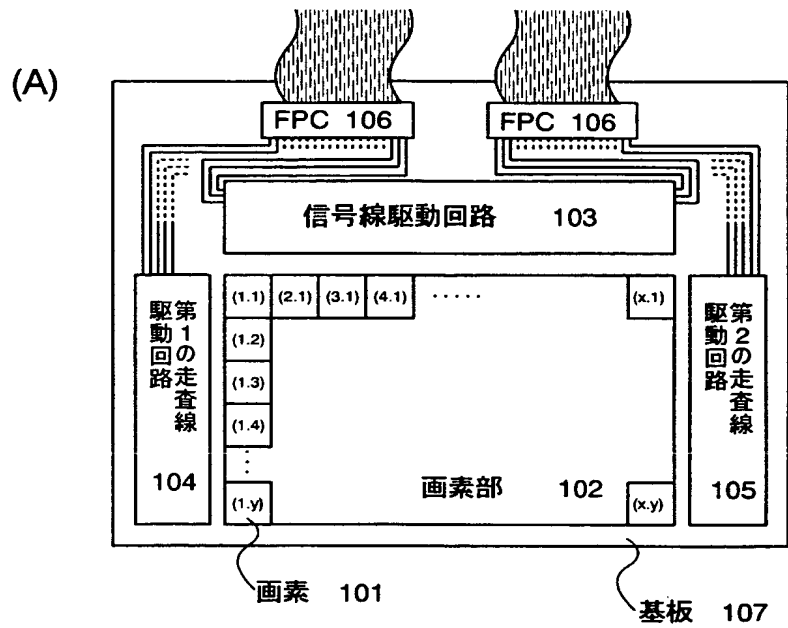
(A)



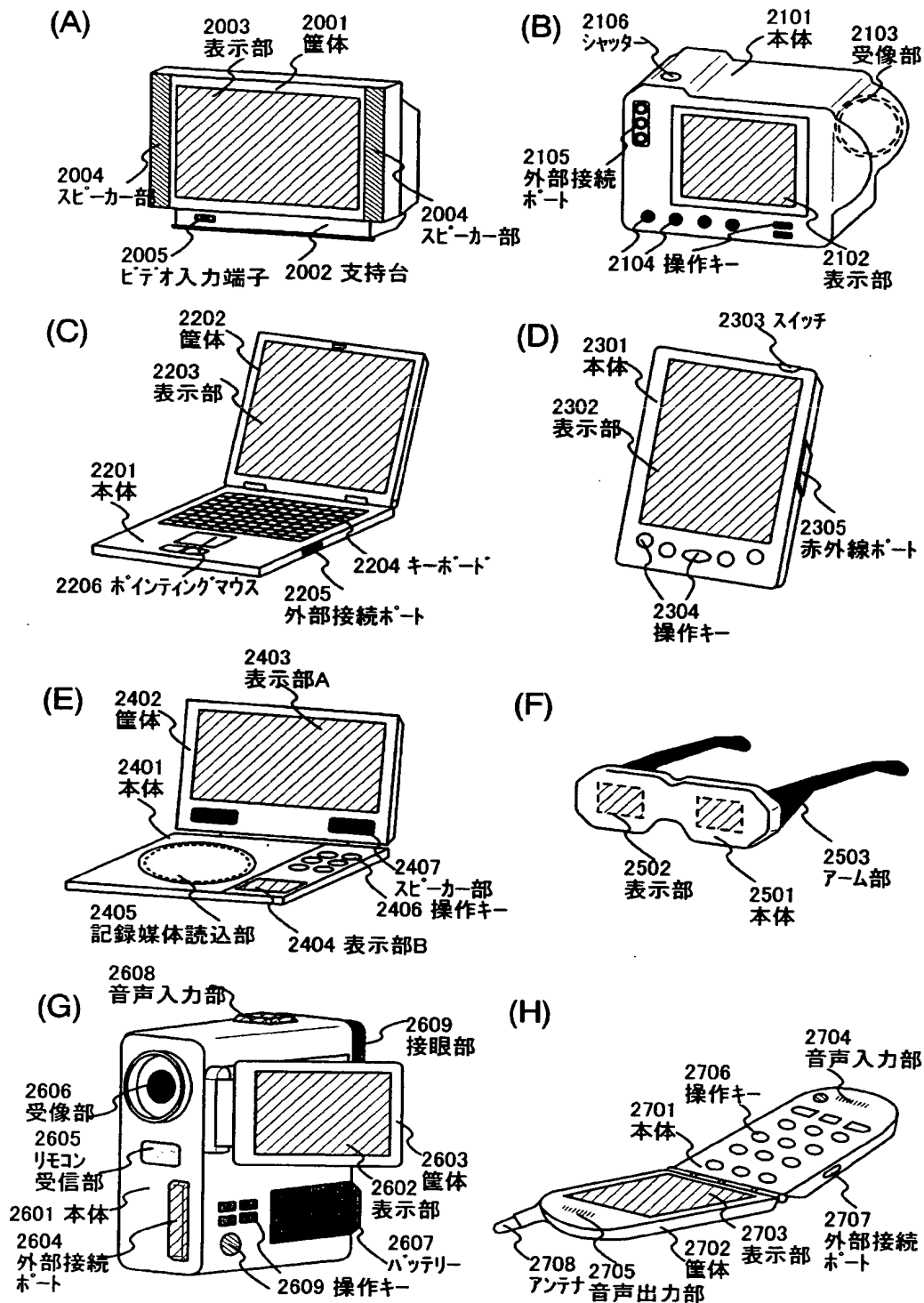
(B)



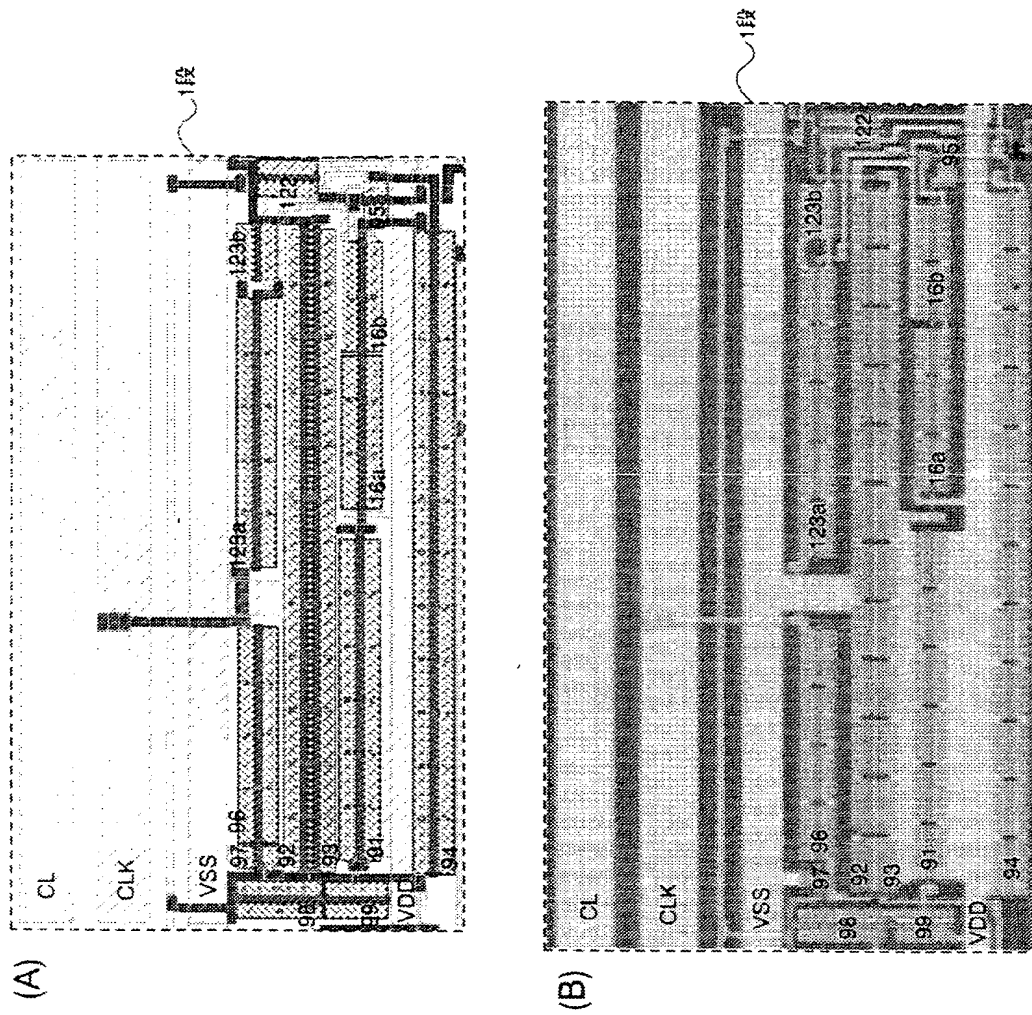
【図 8】



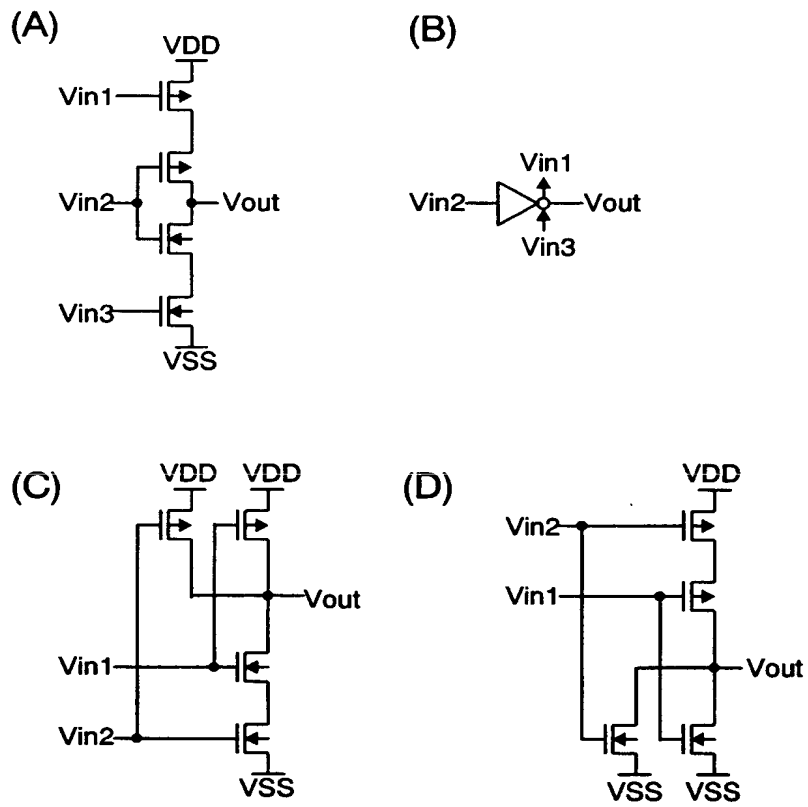
【図 9】



【図 10】



【図 11】





【書類名】 要約書

【要約】

【課題】 トランジスタは、作製工程や使用する基板の相違によって生じるゲート長及びゲート幅並びにゲート絶縁膜の膜厚バラツキなどに起因して、そのしきい値電圧にバラツキが生じる。

【解決手段】 本発明は、直列に接続された第 1 及び第 2 トランジスタを有する電気回路において、直列に接続された第 3 及び第 4 トランジスタを有する補償回路を具備し、前記第 3 トランジスタのゲート及び前記第 4 トランジスタのゲートは互いに接続され、前記第 3 トランジスタのドレイン及び前記第 4 トランジスタのドレインは前記第 1 トランジスタのゲートに接続され、前記第 1 及び前記第 4 トランジスタのソースは電氣的に第 1 の電源に接続され、前記第 2 トランジスタのソースは電氣的に第 2 の電源に接続され、前記第 3 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さい電気回路を提供する。

【選択図】 図 6



特願 2 0 0 2 - 3 1 6 3 6 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所